

JP2003167680(A)

DISK DEVICE

Publication number : **2003-167680**

Date of publication of application : **13.06.2003**

Int.Cl. **G06F 3/06**

G11B 20/10

G11B 20/18

Application number : **2001-365570**

Applicant : **HITACHI LTD**

Date of filing : **30.11.2001**

Inventor : **ISONO SOICHI**
TAKAHASHI KOJI

Abstract:

PROBLEM TO BE SOLVED: To provide a disk device provided with a data buffer and an error detecting function by means of a CRC (Cyclic Redundancy Check), which can maintain the interchangeability of control software with the disk device which is not added with any CRC without needing any special memory.

SOLUTION: The data buffer is provided with an error detection code storage area, and the storage location of data and the error detection code are made correspond to each other for every sector, and the data storage area and the error detection code storage area are dividedly arranged. In this case, the data storage area and the error detection code storage area are continuously arranged for every sector unit.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-167680

(P2003-167680A)

(43) 公開日 平成15年6月13日 (2003. 6. 13)

(51) Int.Cl. ⁷	識別記号	F I	キーワード* (参考)
G 0 6 F 3/06	3 0 1	G 0 6 F 3/06	3 0 1 S 5 B 0 6 5
	3 0 5		3 0 5 C 5 D 0 4 4
G 1 1 B 20/10		G 1 1 B 20/10	A
			D
20/18	5 2 0	20/18	5 2 0 C
審査請求 未請求 請求項の数 3 O L (全 8 頁) 最終頁に続く			

(21) 出願番号 特願2001-365570 (P2001-365570)

(22) 出願日 平成13年11月30日 (2001. 11. 30)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 磯野 聡一

神奈川県小田原市国府津2880番地 株式会社日立製作所ストレージ事業部内

(72) 発明者 高橋 浩二

神奈川県小田原市国府津2880番地 株式会社日立製作所ストレージ事業部内

(74) 代理人 100068504

弁理士 小川 勝男 (外2名)

最終頁に続く

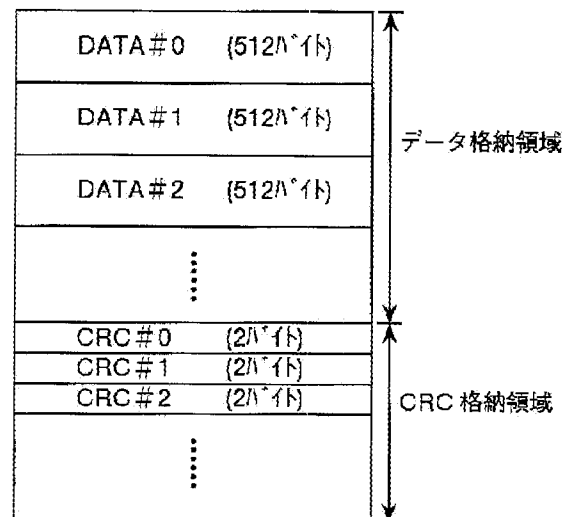
(54) 【発明の名称】 ディスク装置

(57) 【要約】

【課題】 データバッファを備え、CRCによる誤り検出機能を有するディスク装置において、特別なメモリを必要とせず、CRCを付加しないディスク装置との制御ソフトウェアの互換性を維持できるようにする。

【解決手段】 誤り検出符号の格納領域をデータバッファ内に設け、データの格納位置と誤り検出符号とを、セクタ単位ごとに一対一に対応付け、しかも、データ格納領域と、誤り検出符号の格納領域を分割して配置するようにする。このとき、データ格納領域と、誤り検出符号の格納領域は、共に、セクタ単位ごとに連続して配置するようにする。

図 3



【特許請求の範囲】

【請求項1】 ホスト装置と記録再生データをやり取りする際に、データバッファに前記記録再生データを一時的に格納するディスク装置において、前記データバッファを制御するデータバッファ制御手段を有しこのデータバッファ制御手段は、前記データバッファに格納される記録再生データの誤りを検出する誤り検出手段と、前記誤り検出手段により検出された誤りを、前記データバッファに、前記誤り検出用情報として格納する誤り検出情報格納手段とを含み、前記データバッファを制御する手段は、前記記録再生データと前記誤り検出用情報とを分割して配置することを特徴とするディスク装置。

【請求項2】 ホスト装置と記録再生データをやり取りする際に、データバッファに前記記録再生データを一時的に格納するディスク装置において、前記データバッファを制御するデータバッファ制御手段を有しこのデータバッファ制御手段は、前記データバッファに格納される記録再生データの誤りを検出する誤り検出手段と、前記誤り検出手段により検出された誤りを、前記データバッファに、前記誤り検出用情報として格納する誤り検

$$CP = (DP/M) \times N + CHP \quad \dots (式1)$$

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ホスト装置との記録再生データのやり取りに、データバッファを用いるディスク装置に係り、CRCチェック機能を付加するのに際し、特別のメモリも必要とせず、既存のディスク装置の制御のためのフォームウェアの互換性を維持することのできるディスク装置に関する。

【0002】

【従来の技術】現在の一般的なディスク装置では、ホスト装置からのデータ転送速度と記録円盤の記録再生速度の差を吸収するためや、キャッシュとして応答時間を短縮するために、データバッファと呼ぶ半導体メモリを備えている。

【0003】データバッファ内には、記録円盤内でのセクタ長と同じ長さでデータの格納位置を管理しており、セクタ長としては512バイトが一般的である。

【0004】データバッファ内のデータの信頼性を向上させることを目的として、データバッファ内での記憶データの誤りを検出するために、セクタごとにCRC (Cyclic Redundancy Code) 等の誤り検出符号をデータに付加することがも、広くおこなわれている。

【0005】このようなCRCを用いたディスク装置の例としては、特開平10-214325号公報の「電子ディスク装置」がある。この従来技術では、CRCを格納するために、データを格納するメモリとは、別のCR

用情報格納手段とを含み、

このディスク装置は、前記記録再生データをセクタ単位で記録・再生をおこなって、前記誤り検出情報格納手段は、前記セクタ単位ごとに、前記誤り検出用情報として、前記データバッファを制御する手段は、前記セクタ単位ごとの前記記録再生データと、前記セクタ単位ごとの前記誤り検出用情報とを、各々連続して配置することを特徴とするディスク装置。

【請求項3】 前記セクタ単位が、Mバイト、前記セクタ単位ごとの前記誤り検出用情報の大きさが、Nバイト、前記記録再生データの格納エリアの先頭からの、前記記録再生データのセクタの先頭の相対アドレスを、バイト単位で、DP、前記誤り検出用情報の格納エリアの先頭アドレスを、バイト単位で、CHP、前記誤り検出用情報の格納エリアの先頭からの、前記誤り検出用情報の相対アドレスを、バイト単位で、CPとしたときに、前記誤り検出用情報の相対アドレスCPが、以下の(式1)で与えられることを特徴とする請求項2記載のディスク装置。

Cを格納するメモリを有している。

【0006】

【発明が解決しようとする課題】上記の従来技術に記載したCRC等による誤り検出技術は、ディスク装置の信頼性を向上させるために必須のものになりつつある。このようなCRC等により、誤り検出して、それを指摘するロジックは、ハードウェアにより実現するのが一般的である。

【0007】しかしながら、上記従来技術では、ディスク装置の制御ソフトウェアの互換性について問題点があった。データバッファ上の記録再生データへのアクセスは、普通は、ディスク装置の制御ソフトウェアによりおこなっているが、CRCを付加して、セクタとそのセクタに対するCRCとを、図8のように連結して配置すると、データバッファ内のセクタを管理する際のデータ長を「セクタ長+誤り検出符号長」に変更する必要がある、CRCを付加しない場合に対して制御ソフトウェアの互換性が維持できないことになるからである。ここで、図8は、従来技術に係るデータバッファ内のデータとCRCの配置の模式図である。

【0008】また、上記特開平10-214325号公報の従来技術では、CRCを記憶データとは別のメモリに格納するため、CRCを格納する専用メモリが必要であり、部品コストが上昇すると言う問題点があった。

【0009】本発明は、上記従来技術の問題点を解決するためになされたもので、その目的は、データバッファ

を備え、CRCによる誤り検出機能を有するディスク装置において、特別なメモリを必要とせず、CRCを付加しないディスク装置との制御ソフトウェアの互換性を維持することのできるディスク装置を提供することにある。

【0010】

【課題を解決するための手段】本発明では、誤り検出符号の格納領域をデータバッファ内に設け、データの格納位置と誤り検出符号とを、セクタ単位ごとに一対一に対応付け、しかも、データ格納領域と、誤り検出符号の格納領域を分割して配置するようにする。このとき、データ格納領域と、誤り検出符号の格納領域は、共に、セクタ単位ごとに連続して配置するようにする。

【0011】

【発明の実施の形態】以下、図1ないし図7を用いて本発明に係る一実施形態を説明する。図1は、本発明に係る磁気ディスク装置の構成図である。

【0012】図1に示されるように、磁気ディスク装置101は、磁気記録円盤102と、磁気ヘッド103と、スピンドルモータ104と、ヘッドアクチュエータ105と、リードライトチャネル112（以下、「RW-CH」と記す）と、マイクロプロセッサ（以下、「MPU」と記す）110と、ワークメモリ111と、ハードディスク制御部（以下、「HDC」と記す）113と、データバッファ114と、モータ制御部115とから構成される。

【0013】磁気記録円盤102は、データを磁気的に記憶し、磁気ヘッド103は、磁気記録円盤102にデータを記録再生する。スピンドルモータ104は、磁気記録円盤102を回転させるためのモータであり、ヘッドアクチュエータ105は、磁気ヘッド103を支持し、磁気記録円盤102の半径方向に移動させる機構である。

【0014】RW-CH112は、データ記録時にデータの磁気記録用の変調と磁気ヘッド103の駆動をおこない、データ再生時に磁気ヘッド103からの信号の増幅と、「1」「0」のデジタル値への弁別をおこなう。

【0015】HDC113は、磁気記録円盤102に記録するデータのフォーマット制御と、ホスト装置102との接続およびデータ転送制御と、データバッファ114の制御をおこなう。データバッファ114は、磁気記録円盤102へ記録再生するデータの一時的な記憶をおこなう場所である。

【0016】MPU110は、ホスト装置102からのコマンドの解釈や、他の部分の動作を制御する装置である。ワークメモリ111は、MPU110が使用する制御情報を格納するエリアである。モータ制御部115は、ヘッドアクチュエータ105を駆動し、磁気ヘッド103の移動と定位置への位置決め制御をおこなう。また、モータ制御部115は、スピンドルモータ104

が一定速度で回転するように制御する。

【0017】HDC113は、ホスト装置とのインターフェイス制御部（以下、「HOST-IF」と記す）121と、バッファ制御部122と、フォーマット制御部123と、誤り訂正部124とから構成される。

【0018】HOST-IF121は、ホスト装置との間で、記録再生動作を指示するコマンドや記録再生データの送信および受信をおこなう。

【0019】バッファ制御部122は、データバッファ114へのデータの書込と読出とを制御する。さらに、バッファ制御部122は、HOST-IF121とデータバッファ114間のデータ転送と、フォーマット制御部123とデータバッファ114間のデータ転送と、誤り訂正部124とデータバッファ114間のデータ転送の制御をおこなう。本実施形態では、バッファ制御部122とデータバッファ114間は2バイト幅のデータバスで接続するものとして説明する。

【0020】本発明に係るディスク装置では、バッファ制御部122内にCRC検出部131と、DATA/CRCアドレス管理部132を設ける。CRC検出部131は、データバッファ114内でのデータ誤りの発生を検出するための回路である。CRC検出部131は、データバッファ114へのデータ書込時には512バイトのデータ毎に2バイトのCRC符号を付加する。CRC検出部131は、データバッファ114からのデータ読出時にはCRC符号によりデータ誤りを検出する。ここで用いるCRC符号は、一般的な技術として知られている技法のもので良い。

【0021】DATA/CRCアドレス管理部132は、データバッファ114内でのDATAとCRCの格納アドレスを管理する回路である。

【0022】フォーマット制御部123は、磁気記録円盤102への記録再生データのセクタフォーマットの制御をおこなう部分であり、データ記録時には、ホスト装置からのデータへのセクタ開始符号やデータ誤り訂正用符号管理情報の付加をおこない、再生時にはセクタの検出や管理情報の分離をおこなう。セクタフォーマットに関しては後述する。

【0023】誤り訂正部124は、データ記録時には誤り検出訂正符号の生成をおこない、データ再生時には再生データの誤りの有無の検出と誤り訂正をおこなう。この誤り訂正部は、後述するように、セクタ内のデータの後ろに付加されるECC符号に関するものである。

【0024】次に、図2を用いて記録再生データのセクタフォーマットについて説明する。図2は、記録再生データのセクタフォーマットを説明する模式図である。

【0025】一般的に、磁気ディスク装置101は、磁気記録円盤102には同心円状にデータを記録していく。この円を、記録トラックと呼んでいる。この記録トラックは、複数の「セクタ」と呼ぶ単位に分割され、磁

気ディスク装置101は、このセクタ単位にデータの記録再生をおこなうようになっている。

【0026】このセクタの構成（フォーマットと呼ぶ。）は、図2に示されるようになる。セクタは、PLOS SYNCとBYTESYNCとDATAとECCとPADとから構成される。また、セクタ間には、GAPという緩衝領域がある。PLOS SYNCは、10バイトの長さで、RW-CH112で再生時のタイミング同期のために用いられるコードである。DATAは、512バイトの長さであり、ホスト装置からの送られてくる記録データである。DATAは、磁気記録円盤102への書込みの前、あるいは、磁気記録円盤102から読み出した直後には、データバッファ114に格納される。BYTESYNCは、1バイトのコードであり、DATAの先頭を示すための1バイトのコードである。ECCは、40バイトの長さであり、DATAの誤り検出訂正用の情報である。PADはセクタ長の調整用の部分である。セクタ間には、GAPと呼ぶ領域があり、セクタの記録位置のばらつきにより後続のセクタが破壊されることを防止している。

【0027】次に、図3を用いて本発明のデータバッファ114内のDATAとCRCの配置について説明する。図3は、本発明のデータバッファ114内のDATAとCRCの配置の模式図である。

【0028】データバッファ114は、データ格納領域とCRC格納領域の二つの領域に分割されている。そして、データ格納領域には、512バイト長のDATAが連続して格納されており、CRC格納領域にも、CRC符号が連続して格納されている。DATAの格納順序とCRC符号格納順序とは同じであり、DATA#0のCRC符号がCRC#0である。以下、DATA#1とCRC#1、DATA#2とCRC#2が、それぞれ一対一に対応している。図8に示した従来技術のデータ格納領域とCRC格納領域の配置とは異なっており、このように配置することが、本発明の特徴をなしている。

【0029】次に、図4および図5を用いてDATA/CRCアドレス管理部132の構成と動作を説明する。図4は、本実施形態に係るDATA/CRCアドレス管

CRC格納アドレス =

$$\begin{aligned} & (\text{セクタ先頭ポインタ} / 512) \times 2 + \text{CRC領域先頭ポインタ} \\ & \dots \text{(式2)} \end{aligned}$$

図4では、CRC領域先頭ポインタ144が、Cであり、セクタ先頭ポインタ143が、Pのときに、CRCアドレス計算部145は、Yと言うアドレスを生成して、データバッファアドレスとして出力することが、図示されている。

【0037】DATA/CRCアドレス管理部132の各部の値の変化を示すと、図5に示されるようになる。

【0038】時刻t11から1セクタのDATA部をデータバッファ114からの読出し、あるいは、書込みを

理部132の構成を説明する図である。図5は、本実施形態に係るDATA/CRCアドレス管理部132の動作を説明するタイミングチャートである。

【0030】DATA/CRCアドレス管理部132は、図4に示されるようにデータカウンタ140と、アドレス制御部141と、データポインタ142と、セクタ先頭ポインタ143と、CRC領域先頭ポインタ144とCRCアドレス計算部145と、アドレス選択回路146とから構成される。

【0031】データカウンタ140は、セクタ単位でのデータ長を管理するカウンタである。アドレス制御部141は、データカウンタ140の値に応じてアドレス選択回路146を制御し、DATA格納アドレスとCRC符号格納アドレスとを切り替える。また、DATA/CRCアドレス管理部132は、データポインタ142の内容を、セクタの先頭でセクタ先頭ポインタ143に格納するが、その格納タイミングの制御をもおこなう。

【0032】データポインタ142は、DATA格納アドレスを生成する。セクタ先頭ポインタ143は、セクタ毎のDATA部先頭のデータバッファ内での格納アドレスを保持するためのポインタである。CRC領域先頭ポインタ144は、データバッファ内のCRC格納領域の先頭のアドレスを保持するためのポインタである。

【0033】CRCアドレス計算部145は、各DATA部に対応するCRC符号を格納するアドレスを計算する回路であり、以下の（式2）で示すアドレス計算をおこなう。

【0034】すなわち、セクタ長が、512であり、i番名のセクタは、最初のセクタを0から始めるとすると、 $i = (\text{セクタ先頭ポインタ} / 512)$ で求められる。それに、CRC格納領域は、2バイトなので、2をかけると、CRC領域先頭ポインタからの相対アドレスが求められる。

【0035】したがって、CRC格納アドレスは、それに、CRC領域先頭ポインタを加えた次の（式2）となる。

【0036】

開始する。

【0039】本実施形態では、データバッファ114とHDC113間は、2バイトずつデータが転送されるとしたため、データカウンタ140とデータポインタ142は一回の転送毎に2ずつ値が加算される。また、セクタ先頭ポインタ142には、セクタ先頭の格納アドレスであるpの値が格納される。ここで、pの値は、0、512、1024、…と、512の整数倍の値を取ることになることに注意する。

【0040】また、Cは、CRC領域先頭ポインタである。

【0041】このように、時刻t11からt12まで、データカウンタ140と、データポインタは、2ずつ値が増えていき、セクタ先頭ポインタ142は、一定の値である。そして、時刻t12でDATA部の末尾の2バイトが転送される。

【0042】時刻t11から時刻t13までは、データバッファアドレス146は、データポインタ142の値がそのまま出力される。そして、時刻t13から時刻t14のときに、CRC格納アドレスを計算して、データバッファアドレス146として出力する。この時刻t13から時刻t14は、一定の値としておき、値を増加させないでおく。これにより、時刻t13から時刻t14の間は、そのセクタに対応したCRC格納領域にアクセスすることができる。

【0043】そして、次のt14では、セクタ先頭の格納アドレスは、512増加しているので、それ以降は、次のセクタとCRC格納領域の処理を同じようにおこなう。

【0044】次に、図6および図7を用いてバッファ制御部122の実行するデータバッファへのアクセス処理を説明する。

【0045】まず、図6のフローチャートを追いながら、書き込み処理の手順を説明する。図6は、バッファ制御部122の実行するデータバッファへのデータとCRCの書き込み処理の手順を示すフローチャートである。

【0046】ここで、メモリ書き込み処理の前に、MPUがデータポインタ142にデータを格納する先頭のアドレスを設定し、CRC領域の先頭アドレスをCRC領域先頭ポインタ144に設定してあるものとする。

【0047】まず、DATA/CRCアドレス管理部132の初期化として、データカウンタ140を“0”にし、データポインタ142内の値をセクタ先頭ポインタ143に複写する（ステップ161）。

【0048】次に、CRC検出部131を初期化し、以前の演算結果が新たな演算に影響しないようにする（ステップ162）。

【0049】次に、データ2バイトをデータバッファ114に書き込む（ステップ163）。さらに、そのデータをCRC検出部131に入れ、CRC演算をおこなう（ステップ164）。そして、ステップ163とステップ164を512バイト分繰り返す（ステップ165）、終了すると、512バイトのデータをデータバッファ114に書き込み、この512バイトのデータに対するCRCを演算する。

【0050】512バイトのデータをデータバッファ114に書き終わると、演算したCRC2バイトを、CRCアドレス計算部145が指定するアドレスに書き込む（ステップ166）。以上のステップ162から166

までで、1セクタ分のデータとCRCの書き込みをおこない、所定のセクタ数を書き終わるまで、これらを繰り返す（ステップ167）。

【0051】次に、図7のフローチャートを追いながら、読出し処理の手順を説明する。図7は、バッファ制御部122の実行するデータバッファへのデータとCRCの読出し処理の手順を示すフローチャートである。

【0052】ここでも、同様に、メモリ読出し処理の前に、MPUがデータポインタ142にデータを格納する先頭のアドレスを設定し、CRC領域の先頭アドレスをCRC領域先頭ポインタ144に設定してあるものとする。

【0053】まず、DATA/CRCアドレス管理部132の初期化として、データカウンタ140を“0”にし、データポインタ142内の値をセクタ先頭ポインタ143に複写する（ステップ171）。

【0054】次に、CRC検出部131を初期化し、以前の演算結果が新たな演算に影響しないようにする（ステップ172）。

【0055】次に、データ2バイトをデータバッファ114から読み出す（ステップ173）。さらに、そのデータをCRC検出部131に入れ、CRC演算をおこなう（ステップ174）。

【0056】そして、ステップ173とステップ174を512バイト分繰り返す（ステップ175）、512バイトのデータをデータバッファ114から読み出し、この512バイトのデータに対するCRCを演算する。

【0057】512バイトのデータをデータバッファ114から読み終わると、CRCアドレス計算部145が指定するアドレスからCRC2バイトを読み出し（ステップ176）、読み出したCRCと演算したCRCとを比較する（ステップ177）。読み出したCRCと演算したCRCとが一致すれば、読み出したデータには誤りがないと判定し、読み出し処理を続行する。

【0058】読み出したCRCと演算したCRCとが不一致ならば、読み出したデータには誤りがあると判定し、読み出し処理を異常終了する。

【0059】以上のステップ172から177までで、1セクタ分のデータとCRCの読み出しをおこない、所定のセクタ数を読み終わるか、異常終了するまで、これらを繰り返す（ステップ178）。

【0060】以上、説明したように、本発明のディスク装置においては、図3に示されるように、DATA格納領域とCRC符号格納領域を分けるため、DATA格納領域を記録円盤上と同じデータ長で管理できるため、CRC符号を付加しない場合と同様にデータバッファを管理可能である。このためディスク装置の制御ソフトウェアの互換性を維持することができる。

【0061】なお、本実施形態では、データポインタ142とセクタ先頭ポインタ143を設けたが、DATA

部の先頭を512の倍数に限定すれば、セクタ先頭ポインタの値の代りに、データポインタの値をCRCアドレス計算部145に入力しても、CRC符号格納領域を計算できる。したがって、そのような構成にするとセクタ先頭ポインタが不要になり、回路の簡易化を図ることが可能になる。

【0062】

【発明の効果】本発明によれば、データバッファを備え、CRCによる誤り検出機能を有するディスク装置において、特別なメモリを必要とせず、CRCを付加しないディスク装置との制御ソフトウェアの互換性を維持することのできるディスク装置を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る磁気ディスク装置の構成図である。

【図2】記録再生データのセクタフォーマットを説明する模式図である。

【図3】本発明のデータバッファ114内のDATAとCRCの配置の模式図である。

【図4】本実施形態に係るDATA/CRCアドレス管理部132の構成を説明する図である。

【図5】本実施形態に係るDATA/CRCアドレス管理部132の動作を説明するタイミングチャートである。

【図6】バッファ制御部122の実行するデータバッファへのデータとCRCの書き込み処理の手順を示すフローチャートである。

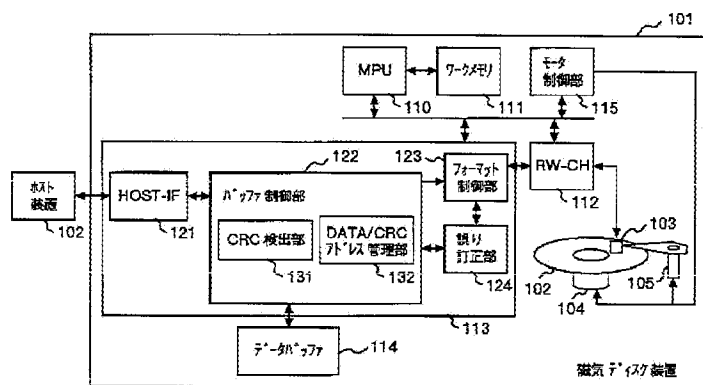
【図7】バッファ制御部122の実行するデータバッファへのデータとCRCの読出し処理の手順を示すフローチャートである。

【図8】従来技術に係るデータバッファ内のデータとCRCの配置の模式図である。

【符号の説明】

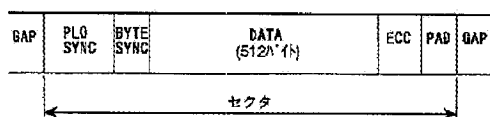
101…磁気ディスク装置、102…磁気記録円盤、103…磁気ヘッド、104…スピンドルモータ、105…ヘッドアクチュエータ、110…マイクロプロセッサ、111…ワークメモリ、112…リードライトチャネル、113…ハードディスク制御部、114…データバッファ、115…データ制御部、121…ホストインターフェイス制御部、122…バッファ制御部、123…フォーマット制御部、124…誤り訂正部、131…CRC検出部、127…DATA/CRCアドレス管理部、140…データカウンタ、141…アドレス制御部、142…データポインタ、143…セクタ先頭ポインタ、144…CRC領域先頭ポインタ、145…CRCアドレス計算部、146…アドレス選択回路。

【図1】

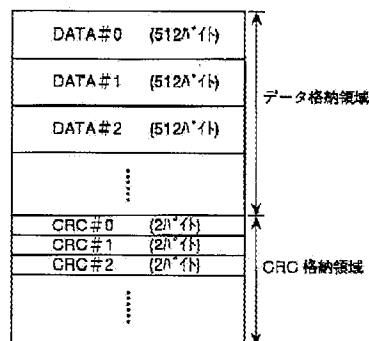


【図2】

図 2



【図3】

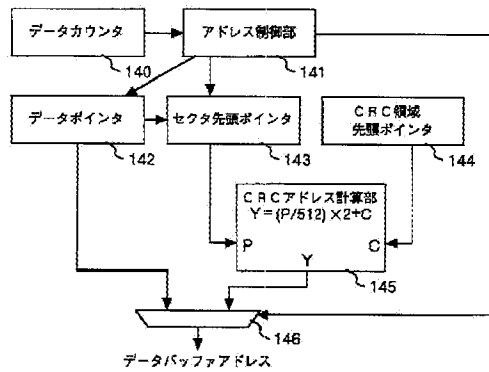


【図5】

図 5

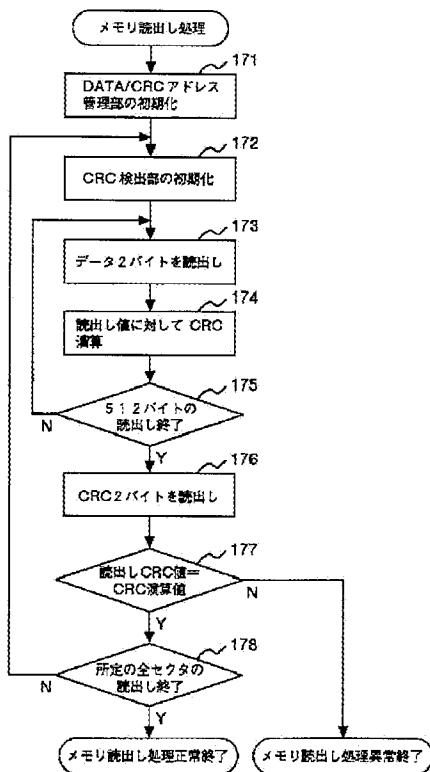
【図4】

図 4



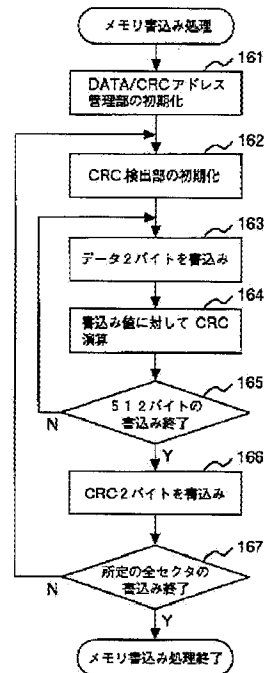
【図7】

図 7



【図6】

図 6



【図8】

図 8

DATA #0	(512バイト)
CRC #0	(2バイト)
DATA #1	(512バイト)
CRC #1	(2バイト)
DATA #2	(512バイト)
CRC #2	(2バイト)
...	

フロントページの続き

(51) Int. Cl.⁷
G 1 1 B 20/18識別記号
5 4 4F I
G 1 1 B 20/18テーマコード (参考)
5 4 4 Z

F ターム(参考) 5B065 BA01 CA12 CC08 CE12 EA03
5D044 AB01 BC01 CC05 DE12 DE69
EF03 FG10 HH07 HL02